

## SEMICONDUCTOR DEVICE

Patent number: JP11017169

Publication date: 1999-01-22

Inventor: YAMAZAKI SHUNPEI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:


- international: *H01L21/8238; H01L29/10; H01L29/78; H01L21/70; H01L29/02; H01L29/66*; (IPC1-7): H01L29/78

- european: H01L21/8238C; H01L21/8238U; H01L29/10D2B2; H01L29/10D2B2B; H01L29/78G

Application number: JP19970185854 19970626

Priority number(s): JP19970185854 19970626

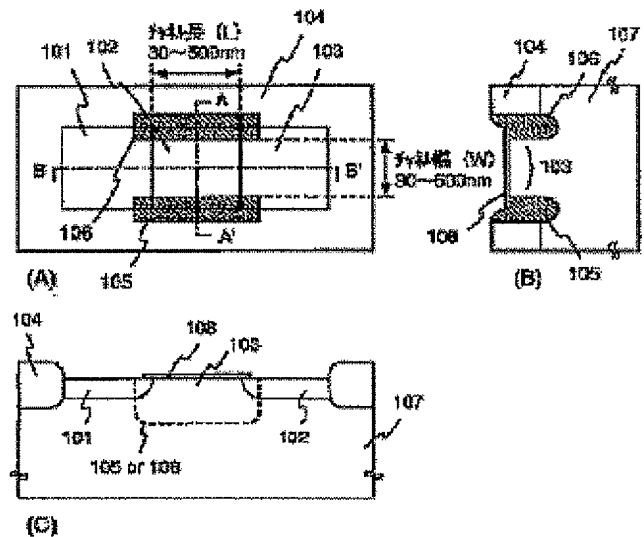
Also published as:

 US6232642 (B1)

[Report a data error here](#)

### Abstract of JP11017169

**PROBLEM TO BE SOLVED:** To provide semiconductor device with a new structure realizing high reliability and high field-effect mobility. **SOLUTION:** In an insulated gate-type transistor, pinning regions 105 and 106 are formed at each end of a channel formation region 102. Then, a depletion region extending from the drain side is prevented by these pinning regions 105 and 106, thereby preventing a short channel effect. At the same time, these regions 105 and 106 function as a path to the outside for extracting a minority carrier generated at impact ionization. As a result, a yielding phenomenon induced by carrier injection is prevented.



**Family list**2 family members for: **JP11017169**

Derived from 2 applications

**1 SEMICONDUCTOR DEVICE****Inventor:** YAMAZAKI SHUNPEI**Applicant:** SEMICONDUCTOR ENERGY LAB**EC:** H01L21/8238C; H01L21/8238U; (+3)**IPC:** H01L21/8238; H01L29/10; H01L29/78 (+**Publication info:** **JP11017169 A** - 1999-01-22**2 Semiconductor device having impurity region locally at an end of channel formation region****Inventor:** YAMAZAKI SHUNPEI (JP)**Applicant:** SEMICONDUCTOR ENERGY LAB (US)**EC:** H01L21/8238C; H01L21/8238U; (+3)**IPC:** H01L21/8238; H01L29/10; H01L29/78 (+**Publication info:** **US6232642 B1** - 2001-05-15Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17169

(43) 公開日 平成11年(1999) 1月22日

(51) Int. Cl.<sup>6</sup>  
H01L 29/78

識別記号

F I

H01L 29/78

301 H

審査請求 未請求 請求項の数18 F D (全13頁)

(21) 出願番号 特願平9-185854

(22) 出願日 平成9年(1997) 6月26日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

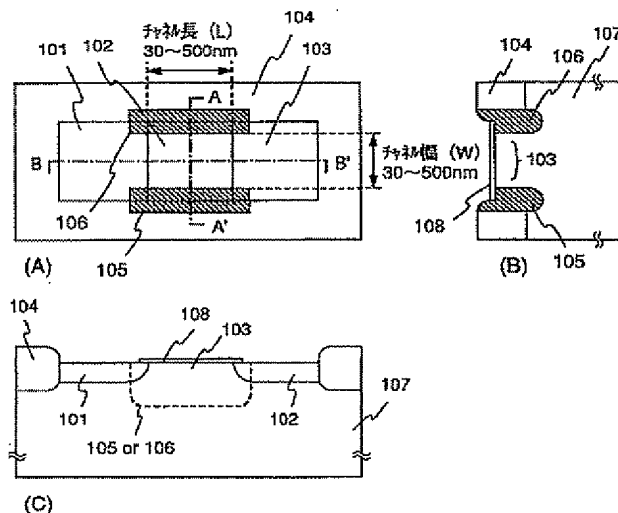
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高い信頼性と高い電界効果移動度とを同時に実現しうる新しい構造の半導体装置を提供する。

【解決手段】 単結晶シリコン基板上に形成された絶縁ゲイト型トランジスタにおいて、チャネル形成領域102の端部にピニング領域105、106を形成する。このピニング領域105、106はドレイン側からの空乏層の広がりを抑止し、短チャネル効果を防止する。また、同時に衝突電離で発生した少数キャリアを外部へ引き出すための経路としても機能し、キャリア注入誘起型の降伏現象を防止する。



## 【特許請求の範囲】

【請求項 1】単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、当該不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されることを特徴とする半導体装置。

【請求項 2】単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されると共に、当該不純物領域によって前記ドレイン領域近傍における衝突電離が発生した少数キャリアが前記チャネル形成領域の外部へと引き出されることを特徴とする半導体装置。

【請求項 3】単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、当該不純物領域は前記ソース領域および／または前記ドレイン領域の内部にも到達していることを特徴とする半導体装置。

【請求項 4】請求項 1 乃至請求項 3 において、前記不純物領域には前記ソース領域または前記ドレイン領域の導電型とは逆の導電型を呈する不純物元素が添加されていることを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 3 において、前記ソー

ス領域および前記ドレイン領域には 1 5 族から選ばれた元素が添加され、前記不純物領域には 1 3 族から選ばれた元素が添加されていることを特徴とする半導体装置。

【請求項 6】請求項 5 において、前記 1 5 族から選ばれた元素とはリンまたは砒素またはアンチモンであり、前記 1 3 族から選ばれた元素とはボロンまたはインジウムであることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至請求項 3 において、前記チャネル形成領域は多数キャリアの移動経路となり、前記不純物領域は少数キャリアの移動経路となることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至請求項 3 において、前記チャネル形成領域は真性または実質的に真性な領域であることを特徴とする半導体装置。

【請求項 9】請求項 1 乃至請求項 3 において、前記チャネル形成領域の長さ（チャネル長）は 30～500 nm であり、且つ、当該チャネル形成領域の幅（チャネル幅）は 30～500 nm であることを特徴とする半導体装置。

【請求項 10】単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、中央部および前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記端部のみに設けられた不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止され、前記中央部のみに設けられた不純物領域によってしきい値電圧の制御が行われることを特徴とする半導体装置。

【請求項 11】単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、中央部および前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記端部のみに設けられた不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されると共に、当該不純物領域によって前記ドレイン領域近傍における衝突電離が発生した少数キャリアが前記チャネル形成領域の外部へと引き出され、

前記中央部のみに設けられた不純物領域によってしきい値電圧の制御が行われることを特徴とする半導体装置。

【請求項 12】請求項 10 または請求項 11 において、前記端部のみに設けられた不純物領域には前記ソース領域または前記ドレイン領域の導電型とは逆の導電型を呈する不純物元素が添加され、前記中央部のみに設けられた不純物領域には前記ソース領域または前記ドレイン領域の導電型と同一の導電型を呈する不純物元素が添加されていることを特徴とする半導体装置。

【請求項 13】請求項 10 乃至請求項 11 において、前記ソース領域および前記ドレイン領域並びに前記中央部のみに設けられた不純物領域には 13 族から選ばれた元素が添加され、前記端部のみに設けられた不純物領域には 15 族から選ばれた元素が添加されていることを特徴とする半導体装置。

【請求項 14】請求項 13 において、前記 15 族から選ばれた元素とはリンまたは砒素またはアンチモンであり、前記 13 族から選ばれた元素とはボロンまたはインジウムであることを特徴とする半導体装置。

【請求項 15】請求項 10 または請求項 11 において、前記チャンネル形成領域および前記中央部に設けられた不純物領域は多数キャリアの移動経路となり、前記端部のみに設けられた不純物領域は少数キャリアの移動経路となることを特徴とする半導体装置。

【請求項 16】請求項 10 または請求項 11 において、前記チャンネル形成領域は真性または実質的に真性な領域であることを特徴とする半導体装置。

【請求項 17】請求項 10 または請求項 11 において、前記チャンネル形成領域の長さ（チャンネル長）は 30~500 nm であり、且つ、当該チャンネル形成領域の幅（チャンネル幅）は 30~500 nm であることを特徴とする半導体装置。

【請求項 18】請求項 10 または請求項 11 において、前記中央部のみに設けられた不純物領域は、ソース／ドレイン間に形成される電界方向に対して概略平行の線状領域であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、単結晶シリコン基板を利用して形成された半導体装置、特に絶縁ゲート型電界効果トランジスタ（MOSFET または IGFET と呼ばれる）の構成に関する。

【0002】特に、チャンネル長およびチャンネル幅が 1  $\mu$ m 以下（代表的には 30~500 nm）の微細素子を作製する場合において効果を発揮する技術である。

【0003】また、本願発明は MOSFET を集積化して構成された IC、VLSI、ULSI などの様々な半導体集積化回路に応用することが可能である。

【0004】

【従来の技術】近年、VLSI などの集積化回路は益々微細化の一途を辿る傾向にあり、MOSFET のチャネ

ル長（L）も 0.2  $\mu$ m 以下、さらには 0.1  $\mu$ m 以下といったディープサブミクロン領域の加工寸法が要求されるようになってきている。

【0005】また、同様にゲイト幅（W）も 0.2  $\mu$ m 以下の加工寸法が求められ、L : W = 1 : 1 というデバイスサイズが提唱されてきている。

【0006】しかしながら、半導体装置の微細化を妨げる要因として短チャネル効果という現象が知られている。短チャネル効果とは、チャンネル長が短くなるにつれて引き起こされるソース／ドレイン間耐圧の低下、しきい値電圧の低下などの諸問題である。なお、短チャネル効果に関しては「サブミクロンデバイス I ; 小柳光正他, pp88~138, 丸善株式会社, 1987」で詳しく説明されている。

【0007】同参考書によれば、耐圧低下の原因の一つとしてパンチスルー現象が最もよく知られている。この現象は、チャンネル長が短くなることでドレイン側空乏層の電位的な影響がソース側に及び、ソース側の拡散電位が下げられる（ドレイン誘起障壁低下現象）ことでゲイト電圧によるキャリアの制御が困難な状況になる現象である。

【0008】この様子を簡略化して図 3 に示す。図 3 において 301 は単結晶シリコン基板、302 はソース領域、303 はチャンネル形成領域、304 はドレイン領域、305 はフィールド酸化膜（素子分離絶縁膜）、306 はゲイト絶縁膜、307 はゲイト電極である。また、308 示される点線は動作時に形成される空乏層を表している。

【0009】通常ならば、ゲイト電極 307 の直下に形成されるチャンネルの下には均一な深さの空乏層が形成される。ところが、チャンネル長（L）が極端に短くなると図 3 の矢印に示す様にドレイン側から伸びてきた空乏層（ドレイン側空乏層と呼ぶ）とソース側の空乏層が接するようになる。

【0010】その結果、ドレイン電圧によってソース近傍の電位障壁が引き下げられ、ゲイト電圧に電圧を印加しない状態でも勝手に電流が流れてしまうようになる。これがパンチスルーであり、ソース／ドレイン間耐圧の低下の原因となる。

【0011】また、ソース／ドレイン間耐圧の低下の原因として注入キャリアの衝突電離という現象もある。以下に N チャンネル型の MOSFET を例に説明する。

【0012】強い電界に引っ張られてドレイン近傍で高エネルギー状態となった電子（多数キャリア）はシリコン格子と衝突して多量の電子-正孔対を発生する。この時発生した正孔（少数キャリア）はドレイン電界によって押し戻されてチャンネル下の空乏層または基板を介してソース端子または基板端子へと流れ込む。この正孔がキャリア注入誘起型の降伏現象を引き起こすのである。

【0013】メカニズムとしては二つあるが、一つは基

板端子に流れ込む正孔電流によってソース-基板-ドレインがそれぞれエミッター-ベース-コレクタとなって寄生バイポーラトランジスタを導通させることによる。

【0014】また、もう一つは空乏層またはソース近傍の基板に流入した正孔によってソース側の拡散電位が下げられ、電位障壁が低下することによる。

【0015】以上の様な短チャネル効果に対して様々な対策がなされているが、最も一般的に行なわれている対策はチャネルドープである。チャネルドープとは、チャネル形成領域全体に浅くP（リン）、B（ボロン）といった不純物元素を微量に添加し、短チャネル効果を抑制する技術である（特開平4-206971号公報、特開平4-286339号公報等）。

【0016】しかしながら、チャネルドープ技術はMOSFETの電界効果移動度（以下、モビリティと呼ぶ）に重大な制約を与えるという欠点を持っている。即ち、意図的に添加された不純物元素によってキャリアの移動が阻害され、モビリティが低下してしまうのである。

【0017】例えば、従来の標準的なMOSFETのモビリティが、Nチャネル型MOSFETで $300\text{cm}^2/\text{Vs}$ 、Pチャネル型MOSFETで $70\text{cm}^2/\text{Vs}$ しか得られないという報告もある（Symposium on Technology Digest of Technical Papers, D.T.Grider et.al., pp.47, 1997 参照）。

【0018】

【発明が解決しようとする課題】本願発明は上記問題点を鑑みて成されたものであり、高い信頼性と高い電界効果移動度とを同時に実現しうる全く新しい構造の半導体装置を提供することを課題とする。

【0019】

【課題を解決するための手段】本明細書で開示する発明の構成は、単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、当該不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されることを特徴とする。

【0020】また、他の発明の構成は、単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸

化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されると共に、当該不純物領域によって前記ドレイン領域近傍における衝突電離で発生した少数キャリアが前記チャネル形成領域の外部へと引き出されることを特徴とする。

【0021】また、他の発明の構成は、単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、当該不純物領域は前記ソース領域および／または前記ドレイン領域の内部にも到達していることを特徴とする。

【0022】本願発明の主旨は、チャネル形成領域の端部（フィールド酸化膜と接する側の端部を指し、ソース／ドレイン領域と接する端部とは区別する）に対して意図的に不純物領域を形成し、その不純物領域によってドレイン側からソース側に広がる空乏層を抑止するものである。

【0023】なお、本発明者らは空乏層を抑止する効果があたかも空乏層をピン止めする様に捉えられることから、「抑止」という意味で「ピニング」という言葉を定義している。そして、本明細書で開示する発明を利用したFETをピニングFETと呼び、従来のMOSFETと明確に区別している。

【0024】また、他の発明の構成は、単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、中央部および前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記端部のみに設けられた不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止され、前記中央部のみに設けられた不純物領域によってしきい値電圧の制御が行われることを特徴とする。

【0025】また、他の発明の構成は、単結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記ソース領域、ドレイン領域およびチャネル形成領域を囲むフィールド酸化膜と、前記チ

10

20

30

40

50

チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を構成の少なくとも一部に含む半導体装置であって、前記チャネル形成領域の内、中央部および前記フィールド酸化膜と接する端部のみに対して当該チャネル形成領域のエネルギーバンドをシフトさせてなる不純物領域が意図的、且つ、局部的に設けられ、前記端部のみに設けられた不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されると共に、当該不純物領域によって前記ドレイン領域近傍における衝突電離で発生した少数キャリアが前記チャネル形成領域の外部へと引き出され、前記中央部のみに設けられた不純物領域によってしきい値電圧の制御が行われることを特徴とする。

【0026】以上の構成によって、本願発明の課題である高いモビリティと高い信頼性とを同時に得られる半導体装置が実現される。本願発明のピニングFETに関する詳細は以下に示す実施例でもって説明する。

【0027】

【実施例】

【実施例1】まず、本願発明によるNチャネル型ピニングFETの活性領域（ソース領域、チャネル形成領域およびドレイン領域をまとめてこう呼ぶことにする）の構成について図1を用いて説明する。なお、図1(A)は上面図、図1(B)は上面図をA-A'で切断した断面図、図1(C)は上面図をB-B'で切断した断面図である。

【0028】図1(A)において、101はソース領域、102はチャネル形成領域、103はドレイン領域である。そして、これらの領域を囲む様にしてフィールド酸化膜104が形成され、他の素子との分離が施されている。

【0029】なお、ここでは符号を付けないが活性領域の上にはゲート絶縁膜が形成されている。また、実際にはその上にゲート電極、層間絶縁膜等が積層されていくのだが、図面を簡略化するため、ここでの記載は省略する。

【0030】そして、105、106で示される領域が本願発明の半導体装置において最大の特徴となる空乏層をピニングするための領域（以下、ピニング領域と呼ぶ）である。このピニング領域105、106はチャネル形成領域のエネルギーバンドをシフトさせる不純物元素を添加することによって形成できる。従って、エネルギーバンドをシフトさせてなる領域と呼ぶこともできる。

【0031】ここでエネルギーバンドをシフトさせる不純物元素について図9に示す様な概念図で説明する。エネルギーバンドをシフトさせるとは、図9において点線で示されるエネルギー状態であったチャネル形成領域を、実線で示されるエネルギー状態に変化させることを意味する。

【0032】図9はチャネル形成領域に対してソース/ドレイン領域とは逆の導電性を呈する不純物元素を添加した場合である。この場合、添加領域のエネルギーギャップ(Eg)には変化がなく、全体的にエネルギー状態が上側へシフトする（見かけ上フェルミレベルEfが下側に下がる）。

【0033】従って、不純物を添加しない（アンドープの）チャネル形成領域と不純物領域との間にはΔEに相当するエネルギー差が生まれる。このエネルギー的（電位的）な障壁の高さは不純物元素の添加濃度によって変化する。

【0034】この様に、本願発明ではピニング領域の形成にあたって、チャネル形成領域のエネルギーバンドをシフトさせて障壁を作りだしうる不純物元素を利用する。

【0035】本実施例の場合、ソース/ドレイン領域はN型導電性を有しているため、ピニング領域105、106には逆導電性を呈する不純物元素を添加する。即ち、13族から選ばれた元素、代表的にはB（ボロン）またはIn（インジウム）を添加することによりP型不純物領域とする。

【0036】また、ピニング領域105、106の形成深さは、チャネル下に形成される最大空乏層幅よりも深く、望ましくはドレイン領域103の接合深さよりも十分に深くなる。

【0037】なお、ピニング領域105、106に添加する不純物の濃度は、基本的にはピニング領域105、106がチャネル形成領域に対して十分に高い電位障壁となる様に調節する。典型的には $1 \times 10^{18} \sim 1 \times 10^{20} \text{ at oms/cm}^3$ とすれば良い。

【0038】図1(A)において、ピニング領域105、106はその端でソース領域101およびドレイン領域103にまで到達する（重畳する）様にして形成されている。後述するが、ソース領域101の内部にまで到達する様に形成することは本願発明の重要な構成の一つである。ただし、ドレイン領域103とは特に重畳しなくてもピニング効果を得ることはできる。

【0039】なお、図1(A)においてソース領域101とドレイン領域103の間の距離をチャネル長(L)と定義する。本願発明はこの長さが $2 \mu\text{m}$ 以下、典型的には $30 \sim 500 \text{ nm}$ （さらに好ましくは $50 \sim 200 \text{ nm}$ ）である場合に有効である。また、このチャネル長に沿った方向をチャネル長方向と呼ぶことにする。

【0040】また、ピニング領域105と106の間の距離をチャネル幅(W)と定義する（厳密には実効チャネル幅）。本願発明はこの幅が $30 \sim 500 \text{ nm}$ （典型的には $50 \sim 200 \text{ nm}$ ）である場合に有効である。また、このチャネル幅に沿った方向をチャネル幅方向と呼ぶことにする。

【0041】本願発明ではオン電流(TFTがオン状態

にある時に流れる電流)の確保とピニング領域の形成の困難性を考慮してチャネル幅の下限を30nmと考える。また、チャネル幅が500nmを超えるとピニング効果を得ることが困難となる。

【0042】なお、チャネル幅に対してチャネル形成領域の深さが十分に深い場合、ピニング効果が小さくなる様にも感じるが、実際にトランジスタ動作に寄与する多数キャリアはチャネル形成領域の極表面近傍のみを移動するため、チャネル幅が500nm以下であっても十分なピニング効果を得ることが可能である。

【0043】この様に、本願発明の半導体装置は特にチャネル長およびチャネル幅が極めて小さい半導体装置に適用することを念頭に置いているので、チャネル形成領域102も極めて小さなサイズになる。

【0044】そのため、ピニング領域105、106の形成も極めて微細なイオン注入技術が必要となる。即ち、エキシマレーザー、電子ビームまたは集束イオンビームを用いた微細露光技術によって10~300 nm(好ましくは50~100 nm)幅程度のピニング領域を形成しなければならない。

【0045】次に、図1(A)に示した上面図をA-A'で切断した断面図を図1(B)に示す。なお、図1(B)において、図1(A)で説明した部分については同一の符号を用いて説明することにする。

【0046】図1(B)において、107は単結晶シリコン基板であり、本実施例では高抵抗のP型シリコン基板を用いている。なお、単結晶シリコン基板107としては、通常のCZ法、FZ法またはその他の作製方法で形成された全ての単結晶シリコン基板を用いることができる。ただし、キャリアの移動度を高めるためには、ドーパント量(不純物元素の添加濃度)の少ない高抵抗シリコン基板を用いることが好ましい。

【0047】そして、フィールド酸化膜104に重なる様にしてピニング領域105、106が形成されている。また、チャネル形成領域102の上にはゲート絶縁膜108が熱酸化法により形成されている。

【0048】次に、図1(A)をB-B'で切断した断面図を図1(C)に示す。図1(C)に示す様に、ソース領域101およびドレイン領域103はP(リン)またはAs(砒素)イオンの注入によりウェル構造で形成される。

【0049】また、B-B'での切断面では見えないがピニング領域105(または106)の位置関係を点線で示す。図1(C)に示す様に、ピニング領域105、106はソース領域101からドレイン領域103にかけて形成される。

【0050】本願発明のNチャネル型ピニングFETは、以上に示した様な構造の半導体装置である。次に、ピニング領域105、106の果たす役割と、それによって得られる効果について説明する。

【0051】まず、第1の効果について説明する。本願発明の最も大きな目的は、ドレイン側からソース側に向かって広がる空乏層を抑止(ピニング)し、ドレイン電圧によるソース側の電位障壁の低下を防止することにある。そして、空乏層の広がりを抑止することでしきい値電圧の低下やパンチスルーによる耐圧の低下を十分に防ぐことが可能となる。

【0052】図1において、チャネル形成領域102に人為的、且つ、局部的に形成されたピニング領域105と106は、ドレイン側から広がる空乏層に対してストップパーとして働き、空乏層の広がりを効果的に抑止する。

【0053】従って、空乏層の広がりによってソース側の拡散電位が引き下げられることもなくなり、パンチスルー現象が防止される。また、空乏層の広がりによる空乏層電荷の増加が抑制されるので、しきい値電圧の低下も避けられる。

【0054】以上の様に、ピニング領域105、106を形成することで、微細化に際して非常に重大な問題であった短チャネル効果を抑止または防止することが可能となる。この効果は本願発明の半導体装置の最も重要な効果である。

【0055】なお、上述の効果を得るためにはピニング領域105、106を少なくともチャネル形成領域102とドレイン領域103との接合部付近に設けておけば良い。ただし、後述する第4の効果(ピニング領域による少数キャリアの引き出し効果)を得るためには図1(A)に示す様な配置が最も好ましい。

【0056】次に第2の効果について説明する。一般的なMOSFETではn<sup>+</sup>型ポリシリコンでゲート電極を形成するが、Nチャネル型MOSFETではチャネル形成領域(P型シリコン基板)との仕事関数差が大きいためしきい値電圧が小さくなる(ノーマリオン動作となる)。そのため、従来例で示したチャネルドーピングは短チャネル効果を防止するだけでなく、しきい値電圧の制御をも兼ねている。

【0057】しかしながら、本願発明のNチャネル型ピニングFETの場合、ピニング領域105、106によって実効的なチャネル幅を非常に狭くすることでしきい値電圧を増加させて適切なしきい値電圧を得ることができる。

【0058】ここで図1に示した構造の半導体装置が動作した際に、チャネル形成領域102とピニング領域105、106とがエネルギー的(電位的)にどのような状態となっているかを図4を用いて説明する。

【0059】図1に示す構造を有する半導体装置が動作した場合、チャネル形成領域102に反転層が形成されると、チャネル形成領域102の近傍は図4に示す様な深い谷の様な形状のエネルギー状態となる。

【0060】この時、図4において、401、402で



示される領域がピンング領域 1 0 5、1 0 6 に相当し、4 0 3 で示される領域が実効的なチャンネル形成領域 1 0 2 に相当する。なお、谷の底部となる領域 4 0 3 は反転層が形成されることで電子にとってエネルギー的に低い状態となる。そのため、ソース領域から流入したキャリアは優先的に領域 4 0 3 を移動することになる。

【0 0 6 1】この様に、ピンング領域 1 0 5、1 0 6 はエネルギー的に高い障壁を形成するため、その部分はしきい値電圧が増加する。その結果、全体として観測されるしきい値電圧も増加するのである。

【0 0 6 2】この様な狭チャンネル化によるしきい値電圧の増加は、狭チャンネル効果として一般的に知られている。本願発明の特徴であるピンング領域は、意図的に狭チャンネル効果を発生させ、ピンング領域の濃度やその形状で狭チャンネル効果の強弱を制御することが可能である。

【0 0 6 3】従って、ピンング領域の形状やサイズの設計を最適化することでチャンネル幅 (W) の調節を行い、短チャンネル効果と狭チャンネル効果のバランスでしきい値電圧の制御を行うことも可能である。

【0 0 6 4】なお、チャンネル形成領域を構成する単結晶シリコン層の導電型とゲイト電極の材質との組み合わせによって仕事関数差をできるだけ小さくする (しきい値電圧は増加する) ことは有効である。その様にすることで、しきい値電圧の制御をさらに正確且つ容易に行うことが可能である。

【0 0 6 5】次に、第 3 の効果について説明する。本実施例に示した N チャンネル型ピンング F E T では、チャンネル形成領域 1 0 2 が真性または実質的に真性な領域で構成され、その領域を多数キャリア (電子) が移動するとい

う利点がある。

【0 0 6 6】ここで真性な領域とは N 型や P 型を付与する不純物元素および炭素、窒素、酸素といった不純物元素を意図的に添加しない領域を呼ぶ。例えば、高度な精製技術で I 型シリコン基板 (真性シリコン基板) を作製し、それを用いた場合に真性なチャンネル形成領域を得られる。

【0 0 6 7】また、実質的に真性な領域とは、逆導電型不純物の添加により意図的に導電型を相殺させた領域、またはしきい値電圧の制御が可能な範囲において一導電型を有する領域を指す。

【0 0 6 8】例えば、ドーパント濃度 (リン、砒素、ボロン、インジウム、アンチモン等) が  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下であり、含有する炭素、窒素、酸素の濃度が  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 以下である様なシリコン基板は実質的に真性であるといつて差し支えない。そういった意味で、一般的に半導体回路に用いられる単結晶シリコン基板はプロセス過程で意図的に不純物を添加しない限り全て実質的に真性である。

【0 0 6 9】キャリアの移動する領域が真性または実質

的に真性である場合、不純物散乱による移動度の低下は極めて小さくなる。これはチャンネルドープを用いずに短チャンネル効果を抑制または防止するという本願発明の大きな長所である。

【0 0 7 0】なぜならば、従来の I C ではチャンネルドープによってチャンネル形成領域全面に不純物が添加される。そのため、不純物散乱が激しく、単結晶を用いながらもモビリティ (電界効果移動度) が小さいことが問題となる。

10 【0 0 7 1】ところが、本願発明のピンング F E T はチャンネル形成領域に対して局部的にピンング領域を設け、それによって短チャンネル効果の防止としきい値電圧の制御とを実現する。そのため、キャリアが移動する領域は極めて不純物の少ない真性または実質的に真性な領域となり、高いモビリティを得ることが可能となる。

【0 0 7 2】次に、第 4 の効果について説明する。本願発明のピンング領域は短チャンネル効果の防止、しきい値電圧の制御といった機能を有することを既に述べたが、その他に衝突電離によるソース/ドレイン間耐圧の低下

20 を防止する上で非常に重要な役割を果たしている。

【0 0 7 3】従来例で説明した様に、衝突電離によって生成した少数キャリア (本実施例の場合は正孔) は寄生バイポーラトランジスタを導通させたり、ソース近傍に蓄積してソース側の拡散電位を下げたりするなど、キャリア注入誘起型の降伏現象の原因となる。

【0 0 7 4】しかしながら、図 1 に示した様な構造の N チャンネル型ピンング F E T の場合、衝突電離によって発生した正孔はピンング領域 1 0 5、1 0 6 を流れ、そのままソース領域 1 0 1 に到達する。そこで、ピンング領域 1 0 5、1 0 6 に外部端子を接続して正孔を引き出せば正孔の蓄積を防ぐことができる。

【0 0 7 5】この様に、本願発明のピンング領域は衝突電離によって発生した少数キャリア (正孔) を多数キャリア (電子) とは逆の方向に流し、そのまま外部へ引き出すためのパスとしても機能する。

【0 0 7 6】なお、本実施例の場合、ピンング領域 1 0 5、1 0 6 は P 型の導電性を有するため、正孔は移動できるが電子が移動することはない。即ち、多数キャリアである電子はチャンネル形成領域 1 0 2 を流れる。

30 【0 0 7 7】この第 4 の効果によって衝突電離によるキャリア注入誘起型の降伏現象を防ぐことが可能であるため、第 1 の効果 (パンチスルーによる耐圧の低下防止) との相乗効果で、非常に高い耐圧を有する信頼性の高い半導体装置を実現できる。

【0 0 7 8】以上の様に、本実施例に示した N チャンネル型ピンング F E T は、非常に高い信頼性と高い電界効果移動度とを同時に実現できる。

【0 0 7 9】なお、本願発明の特徴であるピンング領域は絶縁ゲイト型の電界効果トランジスタのチャンネル形成領域に対して形成するものであり、基本的にトランジス

タ構造に限定される技術ではない。

【0080】従って、本願発明は本実施例に示した構造に限定されるものではなく、あらゆる構造の絶縁ゲート型電界効果トランジスタに対して適用することができる。

【0081】〔実施例2〕本実施例では、本願発明によるPチャネル型ピニングFETの活性領域の構成について図2を用いて説明する。実施例1で用いた図1と同様に、図2(A)は上面図、図2(B)は上面図をA-A'で切断した断面図、図2(C)は上面図をB-B'で切断した断面図である。

【0082】なお、基本的な構造はNチャネル型ピニングFETもPチャネル型ピニングFETと同様であるので、相違点のみ詳細に説明を行い、実施例1で十分に説明した内容に関しては省略する。

【0083】図2(A)において、201はソース領域、202はチャネル形成領域、203はドレイン領域、204はフィールド酸化膜である。そして、205、206で示される領域がピニング領域であるが、本実施例の場合、ピニング領域205、206はN型導電性を呈する不純物元素を添加する。即ち、15族から選ばれた元素、代表的にはリンまたは砒素の添加により形成する。場合によってはSb(アンチモン)を利用しても良い。

【0084】この場合、ピニング領域205、206に添加する不純物の濃度は、実施例1と同様に調節を行えばよく、典型的には $1 \times 10^{18} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>とすれば良い。ただし、後述するが添加濃度を低く抑えることでしきい値電圧の制御を容易にすることもできる。

【0085】ところで、本実施例に示すPチャネル型ピニングFETと実施例1に示したNチャネル型ピニングFETとの明確な差は、ピニング領域205と206との間に設けられた逆導電型の不純物領域207の存在である。

【0086】この不純物領域207はボロンまたはインジウムの添加により形成されるP型導電性を有する領域である。本実施例の場合、この不純物領域207がしきい値電圧の制御用に用いられている点に特徴がある。この事については後述する。

【0087】また、図2(A)に示す様にPチャネル型ピニングFETのチャネル長およびチャネル幅は、Nチャネル型ピニングFETと同様に設計すれば良い。従って、ピニング領域205、206およびしきい値電圧制御用の不純物領域207の形成も極めて微細なイオン注入技術で行う。

【0088】次に、図2(A)に示した上面図をA-A'で切断した断面図を図2(B)に示す。図2(B)において、208は単結晶シリコン基板であり、本実施例では高抵抗のN型シリコン基板を用いている。高抵抗のものをを用いる理由は、移動度を高めるためであること

は言うまでもない。

【0089】そして、フィールド酸化膜204に重なる様にしてピニング領域205、206が形成され、その間に不純物領域207が形成されている。さらにその上にはゲイト絶縁膜209が熱酸化法により形成されている。

【0090】次に、図2(A)をB-B'で切断した断面図を図2(C)に示す。図2(C)に示す様に、ソース領域201およびドレイン領域203はボロンまたはインジウムイオンの注入によりウェル構造で形成される。

【0091】また、B-B'での切断面ではしきい値電圧制御のための不純物領域207が図2(C)の様に見える。本実施例の場合、ソース領域201からドレイン領域203にかけて形成されているが、この構造に限定されるものではない。

【0092】本願発明のPチャネル型ピニングFETは、以上に示した様な構造の半導体装置である。次に、ピニング領域205、206および不純物領域207の果たす役割と、それによって得られる効果について説明する。

【0093】第1の効果は実施例1で説明した様なドレイン側から広がる空乏層の抑止効果である。これによりパンチスルー現象やしきい値電圧の低下といった短チャネル効果を効果的に抑制または防止することができる。

【0094】しかし、第2の効果は実施例1とは異なるので以下に詳細な説明を行う。本実施例の場合も、実施例1と同様にピニング領域205、206の不純物濃度や形状を適宜変更することで狭チャネル効果を意図的に制御することができる。

【0095】ところが、通常のICの様にゲイト電極をn'型ポリシリコンゲイトとした場合、チャネル形成領域(N型シリコン基板を用いた場合、弱いN型である)との仕事関数差が小さいため、しきい値電圧は負の方向に大きくなる。即ち、しきい値電圧の絶対値が増加することを意味する。

【0096】これに対して狭チャネル効果もしきい値電圧を増加させる方向に働くので、結果的にしきい値電圧の絶対値はかなり大きくなってしまふ。そのため、本実施例ではしきい値電圧を小さくする目的で不純物領域207を形成している。

【0097】ただし不純物領域207はソース/ドレイン領域と同じ導電型(この場合、P型)であるのでソース/ドレイン領域を繋ぐとトランジスタとならない。そこで本実施例の場合、不純物領域207に導入する不純物濃度を低くして極弱いP型或いは実質的に真性に近い状態とし、チャネル形成領域202に比較して小さいゲイト電圧で導通する様に調節する。

【0098】即ち、不純物領域207を意図的に小さいしきい値電圧でキャリア(正孔)がソース/ドレイン間

を移動できる様なパスとして活用する。この様にすることで、全体的に観測されるしきい値電圧を小さくすることが可能であり、且つ、ノーマリオフ動作が実現される。

【0099】なお、実施例1の場合と同様にゲイト電極とチャネル形成領域との間の仕事関数差を調節することは有効である。本実施例の場合、仕事関数差をできるだけ大きくしてしきい値電圧を正の方向にずらすことが好ましい。

【0100】また、ピニング領域205、206を弱いN型(N<sup>-</sup>型)とすることで、ピニング効果を保つと同時にしきい値電圧が負の方向へ増加するのを抑制することも効果的である。

【0101】次に、第3の効果であるが、実施例1と同様にチャネル形成領域202は真性または実質的に真性であるので高い移動度を実現することができる。

【0102】さらに、本実施例の場合、ピニング領域205、206に添加する不純物元素としてリンを用いれば、リンによる金属元素のゲッターリング効果を付与することができる。こうすることで、チャネル形成領域202の内部に残留する金属元素をピニング領域205、206にゲッターリングして、チャネル形成領域202における不純物散乱を極限まで低減することが可能である。

【0103】また、本実施例の場合も多数キャリアである正孔はチャネル形成領域202、不純物領域207を流れ、ピニング領域205、206では流れない。

【0104】また、第4の効果である少数キャリアの排出効果は実施例1と同様に得られる。通常のPチャネル型MOSFETでは多数キャリアである正孔のイオン化率が電子のイオン化率の1/1000程度と小さいため、衝突電離の発生確率は非常に小さい。従って、キャリア注入誘起型の降伏現象はさほど問題とならない。

【0105】しかし、本願発明のPチャネル型ピニングFETはチャネル形成領域が真性または実質的に真性であるため、非常にキャリア(正孔)の移動度が大きい。即ち、ドレイン近傍ではかなり高いエネルギー状態となると予想される。

【0106】従って、キャリア注入誘起型の降伏現象を防止できるという効果は、高い信頼性を実現する上でも非常に有効な効果であると言える。

【0107】以上の様に、本実施例のPチャネル型ピニングFETは高い信頼性と高いモビリティとを同時に実現する半導体装置となる。また、実施例1と同様に本実施例の構造に限定されず、他の構造のMOSFETに対しても適用できる。

【0108】〔実施例3〕実施例1、2では単結晶シリコン基板上にピニングFETを形成する場合の例について説明した。この場合、活性領域(ソース領域、チャネル形成領域、ドレイン領域)は弱いN型またはP型の単結晶シリコンで形成される。

【0109】しかし、本願発明に利用することのできる半導体は単結晶シリコンに限定されるものではない。即ち、本願発明であるピニングFETにおいて、活性層領域の少なくとも一部を化合物半導体、或いは化合物半導体と単結晶シリコンとの積層構造とすることも可能である。

【0110】例えば、化合物半導体としてはガリウム砒素(GaAs)、インジウムリン(InP)またはシリコンゲルマニウム(Si, Ge<sub>1-x</sub>, :ただし、xは0.5~9.5)などを用いても良い。

【0111】特に、Si, Ge<sub>1-x</sub>で示される化合物半導体をチャネル形成領域として利用する場合、単結晶シリコンよりも高いキャリア移動度が得られる。即ち、この効果に本願発明の効果を組み合わせることで、さらに高いモビリティを有する半導体装置を実現することが可能である。

【0112】〔実施例4〕本実施例では、P型単結晶シリコン基板上に作製したNチャネル方ピニングFETとPチャネル型ピニングFETとを相補的に組み合わせたCMOS半導体装置の例について説明する。

【0113】本実施例のCMOS半導体装置の構造を図5に示す。図5(A)はCMOS半導体装置をチャネル長方向に切断した断面図であり、図5(B)はCMOS半導体装置の上面図である。なお、図5(A)は図5(B)をA-A'で切断した断面図に相当する。

【0114】図5(A)において、501は単結晶シリコン基板である。単結晶シリコン基板501には約 $1 \times 10^{15}$  atoms/cm<sup>3</sup>程度のドーパント(ボロンまたは砒素)が添加され、弱いP型を示す。ここではこの導電性をP<sup>++</sup>で表す。

【0115】なお、本明細書中では導電型の強弱を上付のプラス記号やマイナス記号で表すことにする。例えば、N型導電性の強さにはN<sup>+'>N'</sup> > N<sup>'>N''</sup>の関係がある。また、P型導電性の強さにはP<sup>+'>P'</sup> > P<sup>'>P''</sup>の関係がある。

【0116】そして、P型シリコン基板501の表面付近にはNチャネル形ピニングFETのソース領域502、ドレイン領域503がN<sup>'</sup>ウェルで形成される。このソース領域502、ドレイン領域503はできるだけ浅い接合深さとすることが短チャネル効果を抑制する上で有効である。

【0117】また、504はリン(または砒素またはアンチモン)を添加して形成されるN<sup>++</sup>ウェル(またはN<sup>++</sup>)である。そして、その内部にPチャネル型ピニングFETのソース領域505、ドレイン領域506がP<sup>'</sup>ウェルで形成される。

【0118】これらの異なる導電性を呈するソース/ドレイン領域は、フィールド酸化膜507で絶縁分離される。また、508、509はゲイト絶縁膜、510、511はそれぞれNチャネル型ピニングFETおよびPチ

ャネル型ピニングFETのゲイト電極である。

【0119】なお、Pチャネル型ピニングFETのチャネル形成領域（ゲイト電極直下）には局部的にしきい値制御用の不純物領域512が形成される。本実施例では、実施例1に説明した様な理由から不純物領域512を実質的に真性、或いは極弱いP型とする。

【0120】また、ゲイト電極510、511は層間絶縁膜513で覆われ、その上にソース電極514、515および共通ドレイン電極516が形成される。

【0121】なお、本実施例のCMOS半導体装置には10 ソース電極514、515の配置に関して特徴がある。その事について図5（B）を用いて説明する。

【0122】ただし、図5（B）において、既に図5（A）で説明した箇所については図5（A）と同一の符号を付けるのみとし、説明は省略する。また、ソース電極514、515およびドレイン電極516は図面を見やすくするために点線で示すことにする。

【0123】図5（A）では図示されなかったが、図5（B）に示す様に、チャネル形成領域の両端にはピニング領域517～520が形成されている。ただし、Nチャネル型ピニングFETのピニング領域517、518はP'領域（またはP''領域）で構成される。また、Pチャネル型ピニングFETのピニング領域519、520はN'領域（またはN''領域）で構成される。

【0124】ところで、前述の様に、本願発明においてはピニング領域517～520が少数キャリアの排出用パスとして機能する。そこで、ソース電極514とピニング領域517、518（およびソース電極515とピニング領域519、520）とが電氣的に接続する様な構造とすることで、少数キャリアの蓄積を効果的に防ぐ30 ことが可能である。

【0125】この様な構造とすると、ソース電極514、515とピニング領域517～520とが同電位となる。通常の場合、ソース電極514、515は接地されているので少数キャリアは容易に引き出されていく。勿論、接地しない場合も同様の効果が得られる様な電位に設定しておけば良い。

【0126】以上の構成は、コンタクトホール521、522を図5（B）に示す様な配置で形成すれば良い。即ち、Nチャネル型ピニングFET（図面左側）の場合、40 ソース電極514がコンタクトホール内でソース領域502に接すると同時にピニング領域517、518と接する様な構造とすれば良い。

【0127】勿論、Pチャネル型ピニングFETでも同様である。ただし、Pチャネル型ピニングFETでは多数キャリアが正孔であるので衝突電離によるソースドレイン間耐圧の劣化現象は発生しにくい。そのため、Pチャネル型ピニングFETの場合、必ずしも少数キャリアの引き出しを行わなくても構わない。

【0128】以上の様に、実施例1および実施例2に示50

したNチャネル型ピニングFETおよびPチャネル型ピニングFETを相補的に組み合わせることで本実施例に示した様なCMOS半導体装置を作製することができる。

【0129】勿論、本願発明を適用しうるCMOS半導体装置の構造は本実施例の構造に限定されるものではない。通常利用されるLDD構造やサリサイド構造等の付加構造は実施者が適宜加えれば良い。

【0130】〔実施例5〕本実施例では、ピニング領域から少数キャリアを引き出すにあたって、実施例3とは異なる構造とした場合の例について説明する。

【0131】まず、図6（A）に示す構造の場合、ピニング領域601、602がソース領域603内で内側に食い込んだ様な形状となっている。この様な構造とすることでコンタクトホール604内に露出するピニング領域の面積を増やし、ソース電極（図示せず）との接触面積を稼ぐことで正孔の引き出しを高効率化できる。

【0132】また、図6（A）に示した構造の場合、ソース電極とドレイン電極の位置関係が決定されている場合にしか用いることができない。即ち、アクティブマトリクス型表示装置の画素トランジスタの様に定期的にソース／ドレイン領域が入れ替わる場合には適さない。

【0133】その様な場合には図6（B）に示す様な構造とすると良い。図6（B）ではソース領域（またはドレイン領域）605においてピニング領域606、607が図示しないソース電極（またはドレイン電極）と電氣的に接続する。また、ドレイン領域（またはソース領域）608ではピニング領域609、610が図示しないドレイン電極（またはソース電極）と電氣的に接続する。

【0134】この時、ピニング領域606（または607）とピニング領域609（または610）とが電氣的に接続しているとトランジスタの意味を成さなくなるので、ゲイト電極611の下で分断しておく。なお、この図6（B）の構造に図6（A）の様な構成を加えることも有効である。

【0135】勿論、本実施例は一例にすぎず、この構造に限定する必要はない。即ち、ピニング領域を流れる少数キャリアを効果的に引き出すことのできる構成であれば、ピニング領域の形状やソース電極用コンタクトホールの配置などは実施者の自由に設計することができる。

【0136】〔実施例6〕本実施例は、実施例2に示したPチャネル型ピニングFETにおけるしきい値電圧制御用の不純物領域の他の構成例である。なお、図7

（A）、（B）、（C）を用いて説明するが、基本構造は図2で詳細に説明したので必要箇所のみに符号を付して説明する。

【0137】図7（A）はしきい値制御用の不純物領域701を、ソース領域702およびドレイン領域703と切り離した構造である。この場合、704の領域がチ

チャンネル形成領域となる。ただし、不純物領域 701 内にも多数キャリアである正孔が誘起されてホール伝導に寄与するので、実質的にチャンネル形成領域と同じ機能を果たしていると言える。

【0138】また、図 7 (B) はしきい値制御用の不純物領域 705 とソース領域 706 とを一体化し、ドレイン領域 707 とのみ切り離した構造である。この場合、708 の領域がチャンネル形成領域となる。

【0139】また、図 7 (C) はしきい値制御用の不純物領域 709 をソース領域 710 と切り離し、ドレイン領域 711 と一体化した構造である。この場合、712 の領域がチャンネル形成領域となる。

【0140】以上の構造は、いずれもソース/ドレイン間のリーク電流（またはオフ電流）を極力小さくするための構成である。即ち、しきい値制御のための不純物領域がソース領域またはドレイン領域または双方と分離されているので、チャンネル形成領域が反転しない限りソースドレイン間のキャリア移動は起こらない。

【0141】また、実施例 2 ではソースドレイン間の短絡を防ぐためにしきい値制御のための不純物領域に含まれる不純物濃度を低く抑えることが必要だった。しかしながら、本実施例の構造では添加濃度を増やしても問題が生じない。

【0142】従って、不純物領域 701、705、709 に添加しうる不純物元素（ボロンまたはインジウム）の濃度の自由度が広がり、プロセスマージンに余裕が生まれる。即ち、しきい値電圧の調整が非常に容易なものとなる。

【0143】〔実施例 7〕本願発明は、埋め込みチャンネル型の FET に対して適用することも可能である。埋め込みチャンネル型 FET はチャンネル形成領域の内部をキャリアが移動することになるので表面散乱によるキャリア移動度の低下がなく、表面チャンネル型 FET に比べて高いモビリティを得ることができる。しかし一方で埋め込みチャンネル型 FET はパンチスルーに弱く、耐圧特性が低いという欠点がある。

【0144】しかしながら、本願発明の構成を適用して埋め込みチャンネル型ピニング FET とすれば、高いモビリティを維持したままパンチスルーによるソースドレイン間耐圧の低下を抑止することが可能である。

【0145】〔実施例 8〕本願発明は従来の IC 技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体装置（MOSFET を部品として含む製品）に適用しうる。なお、本明細書中において「半導体装置」とは、単体素子だけでなく、複数の単体素子で構成された集積化回路およびその様な集積化回路を搭載した電気光学装置（応用製品）をも範疇に含むものとする。

【0146】例えば、ワンチップ上に集積化された RISC プロセッサ、ASIC プロセッサ等のマイクロプロ

セッサに適用しうる。また、D/A コンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に至るまで、半導体を利用する全ての集積化回路に適用しうる。

【0147】図 8 に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的には CPU コア 801、RAM 802、クロックコントローラ 803、キャッシュメモリ 804、キャッシュコントローラ 805、シリアルインターフェース 806、I/O ポート 807 等から構成される。

【0148】勿論、図 8 に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0149】しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのは IC (Integrated Circuit) 808 である。IC 808 は半導体チップ 809 上に形成された集積化回路をセラミック等で保護した機能回路である。

【0150】そして、その半導体チップ 809 上に形成された集積化回路を構成するのが本願発明のピニング FET 810 (N チャンネル型)、811 (P チャンネル型) である。なお、基本的な回路は CMOS を最小単位として構成されることが多い。

【0151】また、本実施例に示したマイクロプロセッサは様々な電気光学装置に搭載されて中枢回路として機能する。代表的な電気光学装置としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。

【0152】

【発明の効果】本願発明によりチャンネル長およびチャンネル幅が極めて小さい微細な半導体装置においても短チャンネル効果による悪影響を抑制または防止することができる。即ち、パンチスルーによるソースドレイン間耐圧の低下としきい値電圧の低下とを同時に解決することができる。

【0153】さらに、上記効果はチャンネル形成領域（キャリアの移動する領域）に余計な不純物を含ませることなく得ることができるので、キャリアの移動度を損なうことがない。その結果、単結晶シリコンの高い移動度がそのまま反映されて極めて高いモビリティを有する半導体装置が実現される。

【0154】また、チャンネル形成領域に形成したピニング領域を少数キャリアの引き出し配線として活用することで、衝突電離によりソースドレイン間耐圧の低下を解決することができる。

【0155】以上の相乗効果によって、極めて高いモビリティと高い信頼性とを同時に実現する半導体装置が得られる。

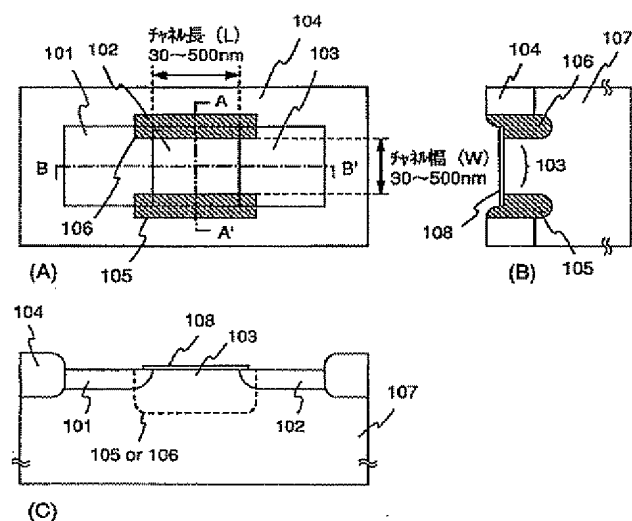
【0156】本願発明を利用した半導体装置は、今現在市場に流通している全ての半導体装置（応用製品も含め

て)と置き換えが可能であり、全ての半導体装置の高性能化、高信頼性化を実現しうる。

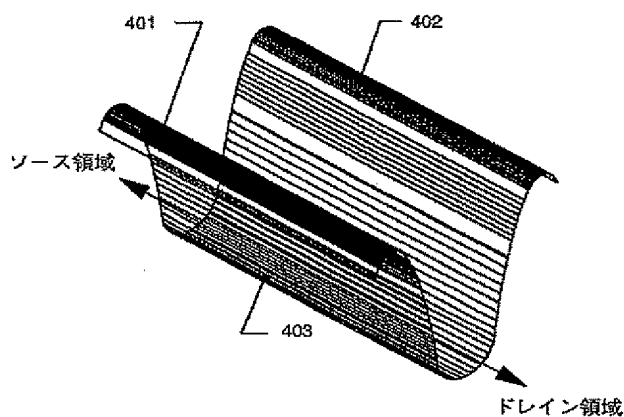
【図面の簡単な説明】

- 【図 1】      ピニング FET の概略を説明するための図。  
 【図 2】      ピニング FET の概略を説明するための図。  
 【図 3】      短チャネル効果を説明するための図。  
 【図 4】      チャネル形成領域のエネルギー状態を示す図。  
 【図 5】      CMOS 半導体装置の構造を示す図。  
 【図 6】      ピニング領域の形状を示す図。  
 【図 7】      しきい値制御のための不純物領域の形状を示す図。

【図 1】



【図 4】

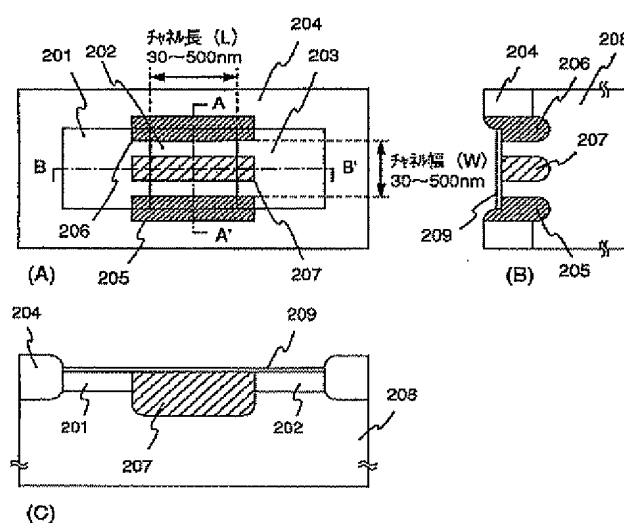


- 【図 8】      半導体装置の応用例を説明するための図。  
 【図 9】      チャネル形成領域のエネルギー状態を示す図。

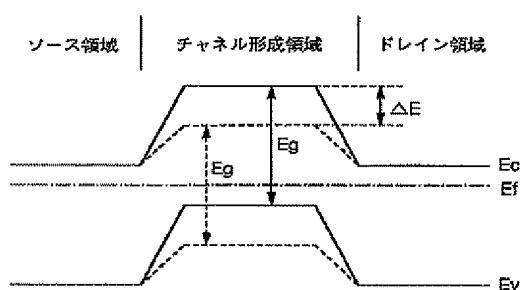
【符号の説明】

- 101      ソース領域  
 102      チャネル形成領域  
 103      ドレイン領域  
 104      フィールド酸化膜  
 105、106      ピニング領域  
 107      P型単結晶シリコン基板  
 108      ゲート絶縁膜  
 207      しきい値制御のための不純物領域  
 208      N型単結晶シリコン基板

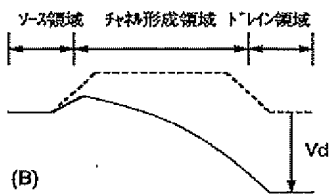
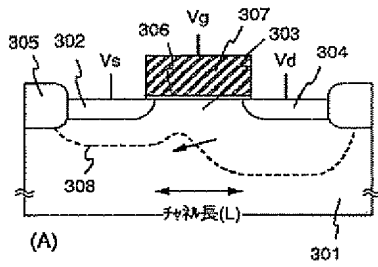
【図 2】



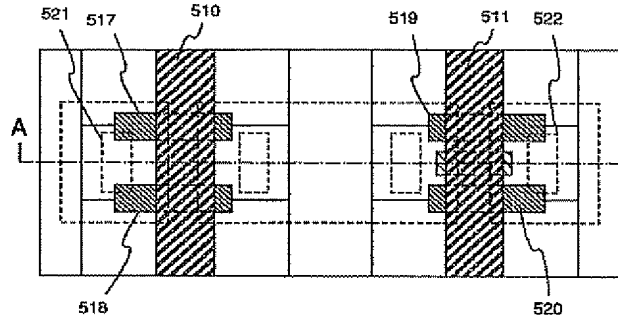
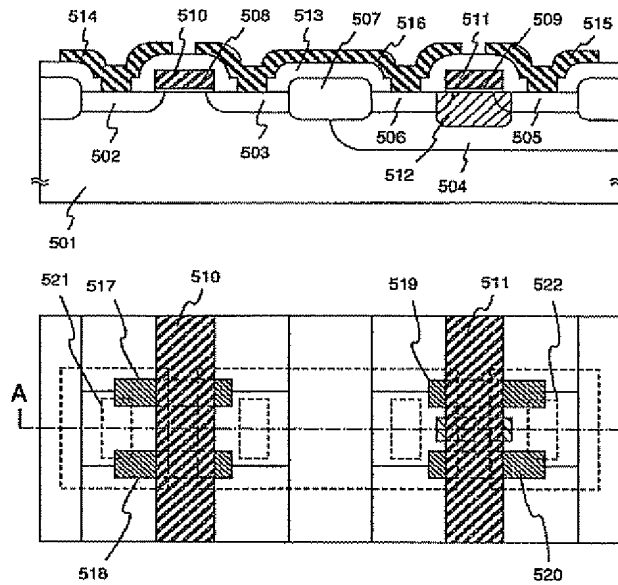
【図 9】



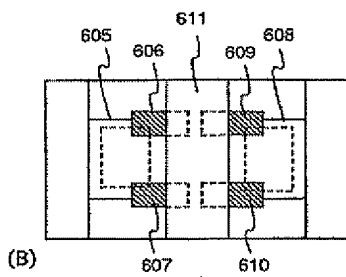
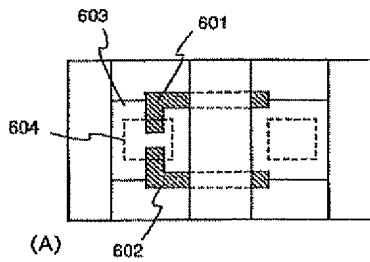
【図 3】



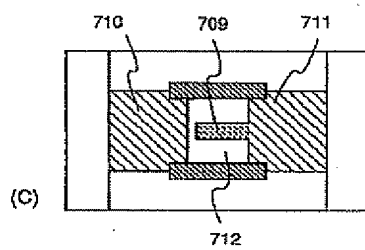
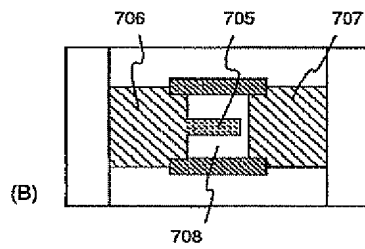
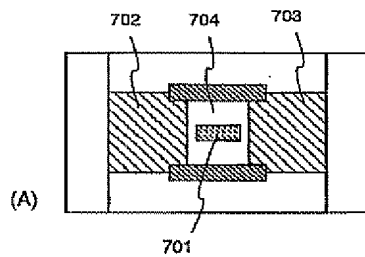
【図 5】



【図 6】



【図 7】



【図 8】

